

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ, ԳԻՏՈՒԹՅԱՆ,
ՄՇԱԿՈՒՅԹԻ ԵՎ ՍՊՈՐՏԻ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Կոստանյան Հակոբ Տիգրանի

**ՈՉ ՄՏԱՆԴԱՐՏ ԱՇԽԱՏԱՆՔԱՅԻՆ ՊԱՅՄԱՆՆԵՐՈՒՄ ԳՈՐԾՈՂ
ԻՆՏԵԳՐԱԼ ՄԽԵՄԱՆԵՐԻ ՆԱԽԱԳԾՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ**

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՄԵՂՄԱԳԻՐ

Երևան 2022

МИНИСТЕРСТВО ОБРАЗОВАНИЯ, НАУКИ, КУЛЬТУРЫ И СПОРТА
РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Костанян Акоп Тигранович

**РАЗРАБОТКА СРЕДСТВ ПРОЕКТИРОВАНИЯ ИНТЕГРАЛЬНЫХ
СХЕМ ДЕЙСТВУЮЩИХ В НЕСТАНДАРТНЫХ РАБОЧИХ
УСЛОВИЯХ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01-
“Электроника, микро- и нанoeлектроника”

Ереван 2022

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝	տ.գ.դ. Վազգեն Շավարշի Մելիքյան
Պաշտոնական ընդդիմախոսներ՝	Ֆ.մ.գ.դ. Ֆերդինանտ Վազգենի Գասպարյան տ.գ.թ. Արման Ստեփանի Տրդատյան
Առաջատար կազմակերպություն՝	ՀՀ ԳԱԱ Ինֆորմատիկայի և ավտոմատացման պրոբլեմների ինստիտուտ

Ատենախոսության պաշտպանությունը կայանալու է 2022թ. հուլիսի 12-ին, ժամը 14⁰⁰-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ–ի գրադարանում:

Սեղմագիրն առաքված է 2022թ. մայիսի 25-ին

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Բենիամին Ֆելիքսի Բադալյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель:	д.т.н. Вазген Шаваршович Меликян
Официальные оппоненты:	д.ф.-м.н. Фердинант Вазгенович Гаспарян к.т.н. Арман Степанович Трдатян
Ведущая организация:	Институт проблем информатики и автоматизации НАН РА

Защита диссертации состоится 12-го июля 2021 г. в 14⁰⁰ ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 25-го мая 2022 г

Ученый секретарь
Специализированного совета 046, к.т.н.



Бениамин Феликсович Бадалян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Интегральные схемы (ИС) широко применяются в промышленности и экономике. Рост их вовлеченности в различных областях привел к ряду проблем, связанных с энергопотреблением схем, уменьшением площади, занимаемой на полупроводниковом кристалле, а также повышением помехоустойчивости. В результате транзисторы со временем подвергались масштабированию и длина их канала достигла до 3 нм. Уменьшение физических размеров и толщины оксида затвора привело к снижению порогового напряжения. В связи с необходимостью снижения энергопотребления величина напряжения питания достигла сотен милливольт. В результате этих изменений удалось добиться повышения функциональности, объема передаваемых данных и быстродействия ИС без увеличения площади, занимаемой на полупроводниковом кристалле.

Развитие технологического процесса, помимо решения вышеперечисленных проблем, привело к усилению влияния ряда негативных явлений на работу ИС. В то же время появились новые факторы, влияющие на параметры схем, которые усложняют процесс проектирования. Одним из таких факторов является старение, вследствие которого изменяется пороговое напряжение транзисторов, приводящее в ряде случаев к нарушению функциональности схем. Еще одной сложностью является увеличение диапазона рабочих температур ИС, которое достигло до 150⁰С. Другим вызовом является резкое изменение внешних факторов при работе схем, в результате чего снижается точность алгоритмов настройки и отклоняются основные параметры узлов. С учетом перечисленных факторов с целью повышения надежности ИС, работающих в нестандартных условиях, в последние годы ведущими организациями были спроектированы и разработаны новые методы. Однако все еще остаются проблемы, для решения которых нужны новые средства и подходы. Диссертация посвящена решению актуальных проблем проектирования ИС, работающих в нестандартных условиях, а также разработке средств, позволяющих сохранять стабильность параметров ИС даже в случае изменения внешних условий после окончания процесса калибровки.

Объект исследования. Факторы, влияющие на надежность ИС, работающих в нестандартных условиях, и методы снижения их влияния. Ухудшение параметров схем из-за явлений старения и способы их улучшения.

Цель работы. Разработка методов повышения надежности ИС, работающих в нестандартных условиях, а также способов уменьшения или нейтрализации эффектов старения.

Методы исследования. При выполнении диссертации использовались современные средства изменения внешних условий, подходы к оценке влияния эффектов старения, симуляции, улучшения схемы и соответствующие программные инструментари.

Научная новизна:

- Предложены подходы к проектированию ИС, работающих в нестандартных условиях и отвечающих современным требованиям, которые за счет увеличения занимаемой площади и потребляемой мощности в допустимых пределах значительно уменьшили отклонения связанные с изменением внешних условий и эффектами старения.

- Разработан метод снижения напряжения смещения в компараторах, возникающего в результате влияния эффектов старения, благодаря которому путем добавления дополнительных передающих клапанов и цифровых ключей улучшены условия работы транзисторов в выключенном состоянии схемы и примерно в 11 раз уменьшилось напряжение смещения за счет максимального увеличения площади на 4,8%.
- Разработан способ снижения напряжения смещения, вызванного резкими колебаниями температуры окружающей среды приемного узла ИС, благодаря которому путем применения цифроаналогового преобразователя (ЦАП) тока удалось снизить напряжение смещения выравнивающего узла максимум в 19 раз за счет уменьшения площади занимаемой на полупроводниковом кристалле на 43,2%, и увеличения потребляемой мощности на 7,2%.
- Создан метод уменьшения отклонений, вызванных резкими колебаниями напряжения и температуры в цифровых линиях задержки (ЦЛЗ) благодаря которому путем введения отрицательной обратной связи удалось уменьшить диапазон отклонения на 56,04% из за изменений внешних условий за счет прироста площади на 23,1%.

Практическая ценность работы. Предложенные в диссертации средства проектирования и описание схемных решений ИС, работающих в нестандартных условиях, были реализованы в программном средстве (ПС) “ExtremeIC”. Благодаря удобному интерфейсу, простому вводу данных, быстрому просмотру файлов и ошибок симуляции стало возможным сократить процесс проектирования в 4...6 раз. Применение программы позволило снизить величину напряжения смещения из-за эффектов старения в компараторах в среднем в 11 раз за счет увеличения площади, занимаемой на полупроводниковом кристалле, на 4,82%. Одновременно смещение напряжения из-за изменения внешних условий в выравнивающем узле уменьшилось в 17,7 раза, а диапазон отклонения в ЦЛЗ снизился на 28,2%, соответственно, за счет увеличения площади на 23,2% и потребляемой мощности на 7,21%.

На защиту выносятся следующие научные положения:

- метод снижения напряжения смещения из-за эффектов старения в компараторах;
- метод уменьшения напряжения смещения из-за изменения температуры в приемном узле;
- метод уменьшения отклонений, вызванных изменением внешних условий в ЦАП;
- программный инструмент “ExtremeIC” для повышения надежности ИС, работающих в нестандартных условиях.

Достоверность научных положений. Научные результаты подтверждены математическими, теоретическими обоснованиями, представленными в диссертации, и реализацией моделирования высокой точности.

Внедрение. Программно-инструментальное средство “ExtremeIC” было внедрено в ЗАО “Синописис Армения” и используется при проектировании ИС,

работающих в нестандартных условиях, для повышения их надежности и обеспечения стабильности параметров.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 39-ой Международной конференции "Electronics and Nanotechnology (ELNANO)" (Киев, Украина, 2019 г.);
- Международном симпозиуме "IEEE East-West Design & Test Symposium (EWDTS)" (Батуми, Грузия, 2019 г.);
- 40-ом Международном симпозиуме " Electronics and Nanotechnology (ELNANO)" (Киев, Украина, 2020 г.);
- научном семинаре кафедры "Микроэлектронные схемы и системы" НПУА (Ереван, Армения, 2020 - 2022 гг.);
- научных семинарах ЗАО "Синописис Армения" (Ереван, Армения, 2020 - 2022 гг.);

Публикации. Основные положения диссертации представлены в восьми научных работах, список которых приведен в конце автореферата.

Структура и объем диссертации. Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 114 наименований, и четырех приложений. В первом приложении представлен акт внедрения, во втором - отрывок QT описания программно-инструментального средства, в третьем - отрывок описания ИС, в четвертом - список рисунков, таблиц и сокращений. Основной объем диссертации составляет 103 страниц, а вместе с приложениями - 124 страниц, включая 84 рисунка и 15 таблиц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены разработанные методы, научная новизна, практическое значение и основные научные положения, выносимые на защиту.

В первой главе представлены основные причины снижения устойчивости и надежности современных ИС. Рассмотрено влияние резкого изменения внешних факторов и эффектов старения на работу ИС. Изучена необходимость уменьшения или нейтрализации их воздействия.

В связи с уменьшением напряжения питания ИС и амплитуды сигналов становится актуальной проблема снижения чувствительности компараторов. Одной из основных причин снижения чувствительности является увеличение напряжения смещения из-за эффектов старения. Рассмотрена одна из наиболее популярных схем компараторов на базе операционного усилителя(ОУ) со встроенным каскодом (рис. 1). С целью исследования влияния эффектов старения на схему компаратора было проведено моделирование с учетом десяти лет старения. Результаты моделирования показали, что максимальное отклонение порогового напряжения транзисторов схемы составляет 273 мВ в режиме выключения.

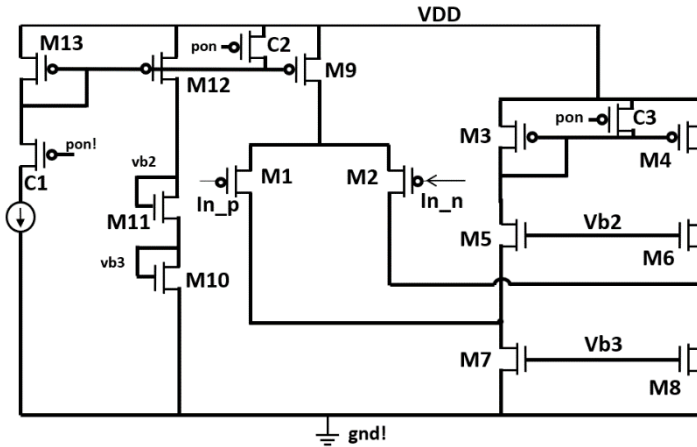


Рис. 1. Схема компаратора

Также наблюдаются изменение величины напряжения смещения в зависимости от комбинаций входных сигналов (табл. 1).

Таблица 1

Значения напряжения смещения для разных комбинаций входных сигналов

Напряжение смещения с учетом 10 лет старения (мВ)	Комбинации входных сигналов
25	0/1
35	0/0
18	1/1
25	1/0

Максимальное значение напряжения смещения составило 35 мВ, что почти в 10,9 раз выше результатов, полученных при включенной схеме.

Проблема напряжения смещения актуальна и для узлов выравнивания в приемнике ИС. В одной из известных схем используется метод цифровой калибровки, согласно которому выбирается определенный код для минимизации значения напряжения смещения между выходами блока. Данный метод минимизации напряжения смещения основан на ЦАП и схеме пути калибровки, которая подает ток на выходы узла выравнивания (рис. 2).

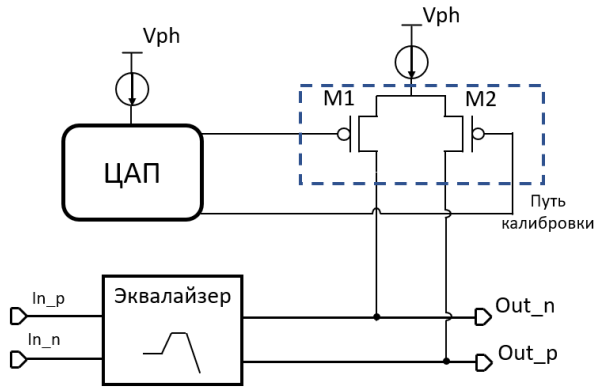


Рис. 2. Схема выравнивающего узла

Однако результаты моделирования показали, что при резких изменениях температуры меняется пороговое напряжение транзисторов в схеме пути калибровки, в связи с чем меняется величина тока, питающего выходы выравнивающего узла. Это приводит к снижению эффективности метода калибровки и отклонению напряжения смещения, максимальное значение которого достигает 27 мВ.

Одним из наиболее важных параметров ЦЛЗ, схема которой состоит из последовательно соединенных элементов задержки (рис. 3) на базе инверторов, является ее диапазон. Схема имеет возможность управления кодом, что позволяет менять количество включенных схем тем самым контролируя задержку ЦЛЗ в зависимости от внешних условий.

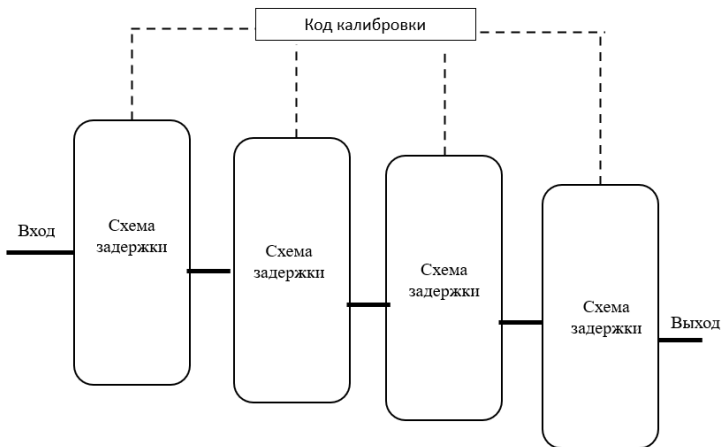


Рис. 3. Схема ЦЛЗ

Результаты моделирования показывают, что после регулировки кода из-за изменения внешних условий пороговое напряжение транзисторов изменяется. В итоге изменяется общая задержка линии, что снижает точность алгоритма настройки. Изменение максимального (МаксШ) и минимального (МинШ) шагов ЦЛЗ в зависимости от кода незначительно, так как влияние внешних условий на все ячейки задержки было в равной степени одинаковым. Максимальное отклонение наблюдалось при отрицательном дрейфе напряжения питания, в результате чего разница между максимальным и минимальным значениями диапазона задержки (ДЗ) увеличилось примерно в 2,45 раза, достигая от 0,44 единицы интервала (ЕИ) до 1,08 ЕИ (табл. 2).

Таблица 2

Значения параметров ЦЛЗ после изменения внешних условий

Изменение внешних условий	Измеренная величина (ЕИ)	Максимальное значение	Минимальное значение
+/-25 ⁰ С	МаксШ	0,089	0,132
	МинШ	0,029	0,061
	ДЗ	2,05	2,52
+/-50 ⁰ С	МаксШ	0,087	0,133
	МинШ	0,028	0,063
	ДЗ	2,0	2,55
+/-100 ⁰ С	МаксШ	0,085	0,136
	МинШ	0,026	0,067
	ДЗ	1,91	2,59
+30мВ	МаксШ	0,088	0,128
	МинШ	0,027	0,058
	ДЗ	1,68	2,67
-30 мВ	МаксШ	0,093	0,135
	МинШ	0,033	0,065
	ДЗ	1,66	2,74

Учитывая области, в которых используются ИС, вышеуказанные проблемы представляют угрозу для их стабильности. Необходима разработка новых подходов,

Таким образом, предлагаемый способ обеспечивает снижение напряжения смещения в 11 раз за счет увеличения площади комаратора на 4,82%. Площадь схемы увеличилась за счет добавления дополнительных транзисторов.

Метод снижения напряжения смещения, вызванного резкими колебаниями температуры окружающей среды в приемном узле.

Значение напряжения смещения схемы выравнивающего узла, описанной в предыдущей главе, увеличивалось при колебаниях температуры. Пороговое напряжение транзисторов M1 и M2 изменялось в связи с чем, изменялся и ток, питающий выходной каскад. В схему были внесены следующие изменения (рис. 6):

1. Во избежание преобразования напряжение-ток-напряжение пара транзисторов M1 и M2 была удалена.
2. Структура ЦАП, состоящего из резисторов, была заменена на ЦАП тока.

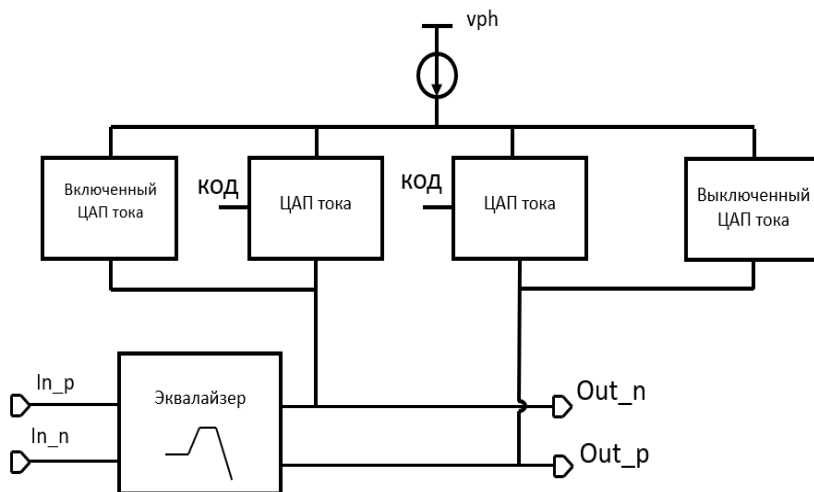


Рис. 6. Предложенная схема выравнивающего узла

Для моделирования случая равных напряжений на затворах транзисторов M1 и M2 и сохранения логики алгоритма калибровки добавлялся ЦАП тока во включенном состоянии. Для обеспечения симметрии ветвей в физическом проекте схемы добавлялся ЦАП в выключенном состоянии. Таким образом, можно избежать появления дополнительного напряжения смещения на выходе выравнивающей схемы. Указанная структура позволяет использовать независимый от температуры источник тока для питания схемы. Это снижает зависимость тока напряжения смещения от резких изменений температуры. Для проверки работы предлагаемого метода на один из входов подавалось напряжение смещения 50 мВ. Применен алгоритм калибровки (рис. 7).



Рис. 7. Напряжение смещения до и после процесса калибровки

В результате работы алгоритма калибровки выходное напряжение смещения составило десятичные милливольты. Отклонение напряжения смещения после калибровки при изменениях температуры от -40°C до 150°C составило 1,42 мВ. Столь малое изменение напряжения смещения было достигнуто применением ЦАП тока. Используемые в нем транзисторы имеют довольно большой запас насыщения. Отклонение порогового напряжения из-за изменения температуры не приводит к изменению состояния транзисторов.

Таким образом, замена резистивного ЦАП позволила уменьшить площадь схемы на 43,2 % за счет отказа от транзисторно-резисторной структуры. ЦАП тока занимает меньшую площадь и состоит только из транзисторов. Энергопотребление увеличилось на 7,2% из-за ветки ЦАП тока, которая всегда включена (табл. 3).

Таблица 3

Сравнительные значения параметров выравнивающего узла

Параметры	Существующая схема	Предложенная схема
Максимальное отклонение напряжения смещения (мВ)	26,98	1.42
Площадь схемы (мкМ ²)	2361,31	1341,2
Энергопотребление (мкВт)	8341,25	8941,82

Полученные результаты доказывают, что предложенное решение является эффективным для снижения выходного напряжения смещения выравнивающего узла. С помощью данного метода можно за счет уменьшения площади и увеличения потребляемой мощности добиться уменьшения отклонения напряжения смещения примерно в 19 раз при резких изменениях температуры.

Способ снижения отклонений вызванных колебаниями напряжения и температуры в ЦЛЗ. В методе, описанном в предыдущей главе, временные параметры ЦЛЗ изменялись при колебаниях температуры и напряжения питания. Это связано с изменением пороговых напряжений транзисторов. В связи с этим изменился ток транзисторов, что привело к отклонению времени заряда и разряда выходных конденсаторов и как следствие к изменению задержки.

Во избежание вышеуказанных проблем предлагается метод, основанный на отрицательной обратной связи. Для измерения отклонения задержки при изменениях температуры и напряжения питания один из элементов был использован в качестве сенсора, к которому была применена обратная связь. Для точного измерения изменений внешних условий на линии задержки рекомендуется в физическом проекте размещать сенсор как можно ближе к цепи (рис. 8).

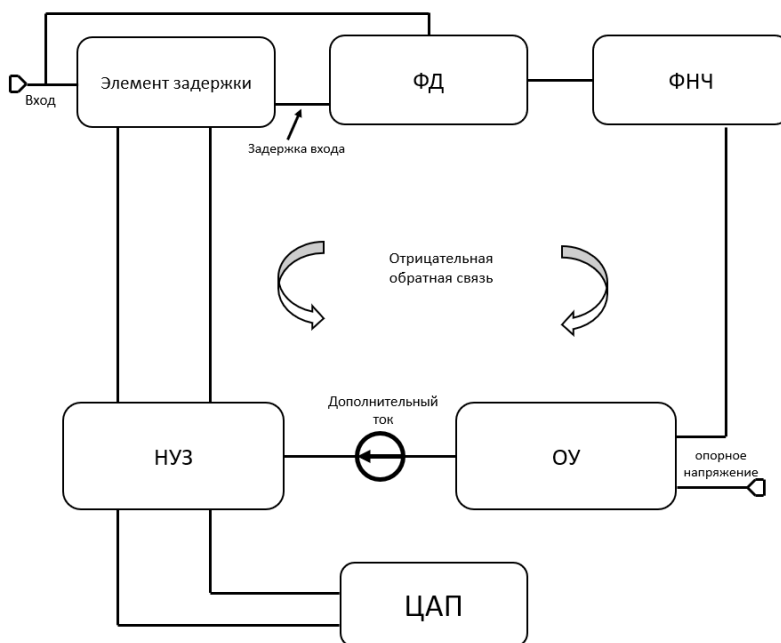


Рис. 8. Предлагаемая схема ЦЛЗ с отрицательной обратной связью

Вход и выход сенсора задержки подключены к фазовому детектору (ФД). Эта схема исключаящего ИЛИ предназначенная для фиксации отклонения задержки из-за изменения внешних условий. Выход ФД подключен к фильтру низких частот (ФНЧ), исполняющую роль интегратора. Выход ФНЧ подключен к ОУ, который компенсирует изменения задержки путем подачи дополнительного тока на схему напряжений, управляющих задержкой (НУЗ) (рис. 9).

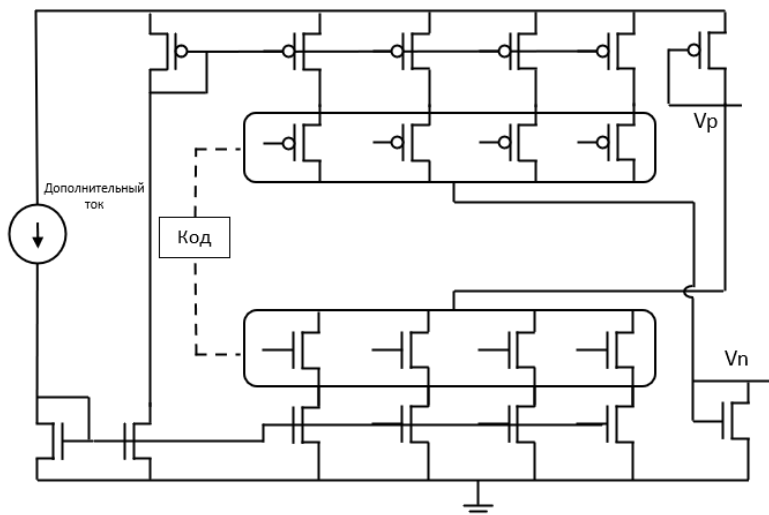


Рис. 9. Схема НУЗ

В зависимости от внешних условий, кодом калибровки выбирается соответствующее количество зеркал тока и определяется суммарный ток НУЗ. Суммарный ток используется для получения выходных напряжений V_p и V_n , которые управляют элементом задержки и ЦАП. В зависимости от напряжений, изменяется ток ЦАП, и процесс калибровки считается завершенным.

После калибровки при изменении внешних условий пороговое напряжение транзисторов меняется. Это влияет на величину тока, протекающего через зеркала тока, что приводит к отклонению напряжений V_p и V_n . Поскольку код уже зафиксирован, изменить количество подключаемых зеркал тока невозможно. Управляющие напряжения изменяются введением дополнительного тока через выход ОУ. При помощи обратной связи эти напряжения доводятся до значений, при которых задержка имеет наименьшее отклонение. Эти же напряжения подаются на ЦАП, так как изменение внешних условий влияет на схему аналогичным образом.

После внесения изменений проверялась работа схемы при изменении напряжения и температуры. Изменения внешних условий выполнялись после того, как калибровка была завершена, чтобы проверить работу отрицательной обратной связи. Максимальный ДЗ ЦАП составил 0,47 ЕИ при отклонении напряжения питания -30 мВ (табл. 4).

Сравнительные значения параметров ЦЛЗ

Изменение внешних условий	ДЗ ЦЛЗ(ЕИ)			
	Существующая схема ЦЛЗ		Предлагаемая схема ЦЛЗ	
	минимальное значение	максимальное значение	минимальное значение	максимальное значение
+/-100 ⁰ C	1,91	2,59	2,2	2,69
+30 мВ	1,68	2,67	2,17	2,63
-30 мВ	1,66	2,74	2,11	2,58

Таким образом, ДЗ при изменении внешних условий с применением предложенной схемы уменьшился на 56,04% составив 0,47 ЕИ. Это стало возможным за счет увеличения занимаемой площади ЦЛЗ на 23,1%, так как была введена отрицательная обратная связь.

В третьей главе представлено разработанное программно-инструментальное средство “ExtremeIC”, которое позволяет исключить человеческий фактор и сократить время проектирования благодаря удобному интерфейсу, простому вводу данных, быстрому просмотру файлов и ошибок симуляции.

Сначала необходимо определить условия работы схем. Вводятся минимальные, максимальные и номинальные значения напряжения питания и температуры. Затем проектировщиком выбирается технологический процесс (рис. 10).

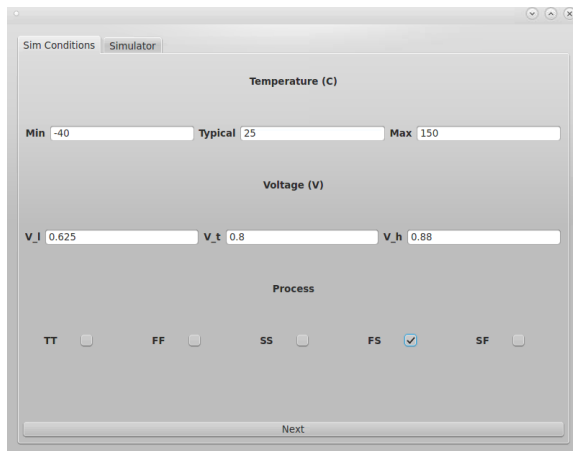


Рис. 10. Окно ввода данных

После этого проектировщику предлагается выбор между схемами компаратора эквалайзера и ЦЛЗ. Для всех трех схем доступен стандартный метод симуляции. Дополнительно для схемы компаратора доступен метод симуляции, который учитывает эффекты старения. Для схем эквалайзера и ЦЛЗ доступен метод симуляции Монте-Карло который позволяет тестировать надежность схемы, учитывая вариации процесса. Программное обеспечение также позволяет рассматривать параметры схемы в удобном для проектировщика формате с использованием таблиц или графиков (рис. 11).

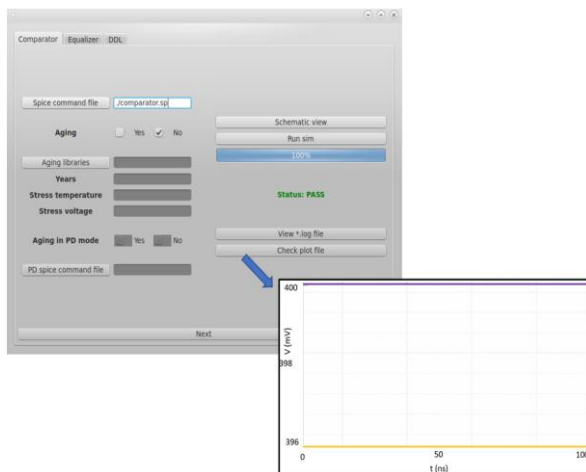


Рис. 11. Возможность просмотра полученных результатов

Для оценки эффективности программного инструмента “ExtremeIC” были спроектированы изученные в работе структуры компаратора, эквалайзера и ЦЛЗ с использованием методов, предложенных в предыдущей главе (табл. 5-7).

Таблица 5

Результаты проектирования компаратора с использованием программного средства “ExtremeIC”

Схема	Существующий компаратор	Предложенный компаратор	Результаты проектирования с помощью ПС “ExtremeIC”
Напряжение смещения (мВ)	0,05	0,051	0,053
Напряжение смещения с учетом 10 лет старения (мВ)	35,5	3,09	3,39

Таблица 6

Результаты проектирования эквалайзера с использованием программно средства
“ExtremelC”

Схема	Напряжение смещения после дрейфа температуры (мВ)
Существующий эквалайзер	27,1
Предложенный эквалайзер	1,44
Результаты проектирования с помощью ПС “ExtremelC”	1,53

Таблица 7

Результаты проектирования ЦЛЗ с использованием программного средства
ExtremelC”

Изменение внешних условий			+/-100 ⁰ C	+30 мВ	-30 мВ
Схема	Существующая схема ЦЛЗ	Диапазон задержки ЦЛЗ (ЕИ)	1,91...2,59	1,68...2,67	1,66...2,74
	Предложенная схема ЦЛЗ		2,2...2,69	2,17...2,63	2,11...2,58
	Результаты проектирования с помощью ПС “ExtremelC”		2.16...2.72	2.14...2.68	2.08...2.62

Максимальная разница результатов моделирования с использованием программного обеспечения по сравнению с результатами, представленными во второй главе, составляет 9,85%. Следовательно, можно утверждать, что программное обеспечение за счёт значительного сокращения сроков проектирования и потери точности в доступных пределах может использоваться в процессе моделирования современных интегральных схем.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены подходы к проектированию ИС, работающих в нестандартных условиях и отвечающих современным требованиям, которые за счет увеличения занимаемой площади и потребляемой мощности в допустимых пределах значительно уменьшили отклонения связанные с изменением внешних условий и эффектами старения.

2. Разработан метод снижения напряжения смещения в компараторах, возникающего в результате влияния эффектов старения, благодаря которому путем добавления дополнительных передающих клапанов и цифровых ключей улучшены условия работы транзисторов в выключенном состоянии схемы и примерно в 11 раз уменьшилось напряжение смещения за счет максимального увеличения площади на 4,8%.
3. Разработан способ снижения напряжения смещения, вызванного резкими колебаниями температуры окружающей среды приемного узла ИС, благодаря которому путем применения цифроаналогового преобразователя(ЦАП) тока удалось снизить напряжение смещения выравнивающего узла максимум в 19 раз за счет уменьшения площади занимаемой на полупроводниковом кристалле на 43,2%, и увеличения потребляемой мощности на 7,2%.
4. Создан метод уменьшения отклонений, вызванных резкими колебаниями напряжения и температуры в цифровых линиях задержки (ЦЛЗ) благодаря которому путем введения отрицательной обратной связи удалось уменьшить диапазон отклонения на 56,04% из за изменений внешних условий за счет прироста площади на 23,1%.
5. Предложенные в диссертации средства проектирования и описание схемных решений ИС, работающих в нестандартных условиях, были реализованы в программном средстве(ПС) “ExtremelC”. Благодаря удобному интерфейсу, простому вводу данных, быстрому просмотру файлов и ошибок симуляции стало возможным сократить процесс проектирования в 4...6 раз. Применение программы позволило снизить величину напряжения смещения из-за эффектов старения в компараторах в среднем в 11 раз за счет увеличения площади, занимаемой на полупроводниковом кристалле, на 4,82%. Одновременно смещение напряжения из-за изменения внешних условий в выравнивающем узле уменьшилось в 17,7 раза, а диапазон отклонения в ЦЛЗ снизился на 28,2%, соответственно, за счет увеличения площади на 23,2% и потребляемой мощности на 7,21%.

Основные результаты диссертации опубликованы в следующих работах:

1. 5V Wide Supply Voltage Bandgap Reference for Automotive Applications / **Н.Т. Kostanyan, Н.Т. Kostanyan, G.A. Petrosyan, A.K. Hayrapetyan, A.S. Petrosyan, D.K. Marukhyan** // 2019 IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO). – 2019. – P. 229-232, doi: 10.1109/ELNANO.2019.8783600
2. Duty-Cycle Correction Circuit for High Speed Interfaces / **V.Sh. Melikyan, A.A. Atanesyan, Н.Т. Kostanyan, М.Т. Grigoryan, К.Н. Safaryan, R.H. Musaelyan** // 2019 IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO). –2019. – P. 42-25, doi: 10.1109/ELNANO.2019.8783779

3. Улучшение коэффициента подавления нестабильности питания с помощью самокалибровки в регуляторах напряжения / **В.Ш. Меликян, А.К. Айрапетян, А.Т. Костанян, А.В. Маргарян, А.Т. Григорян, А.А. Мартиросян** // Изв. вузов. Электроника. – 2019. – Т. 24, № 3. – С. 248–256. doi: 10.24151/1561-5405-2019-24-3-248-256
4. Power Supply Noise Rejection Improvement Method in Modern VLSI Design / **V.Sh. Melikyan, A.Kh. Mkhitaryan, H.T. Kostanyan, H.T. Grigoryan, H.T. Kostanyan, M.T. Grigoryan, R.H. Musayelyan, H.V. Margaryan** // 2019 IEEE East-West Design & Test Symposium (EWDTS). – 2019. - P. 1-4, doi: 10.1109/EWDTS.2019.8884372
5. The Minimizaton Method of Transistor Ageing Influence on Modern Voltage References / **H.T. Kostanyan, H.V. Margaryan, V.A. Janpoladov, H.T. Grigoryan, H.G. Kirakosyan, H.T. Kostanyan, M.T. Grigoryan, G.A. Petrosyan** // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). – 2020. - P. 335-338, doi: 10.1109/ELNANO50318.2020.9088844.
6. Stability Improvement Method for Ultra-Low-Power Bandgap Reference / **A.Kh. Mkhitaryan, H.T. Kostanyan, H.T. Grigoryan, H.V. Margaryan, H.G. Kirakosyan, H.T. Kostanyan, M.T. Grigoryan, K.O. Petrosyan** // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO). – 2020. – P. 331-334, doi: 10.1109/ELNANO50318.2020.9088904
7. **Kostanyan H.T.** The Minimization Method of Thermal Drift Influence on Analog Integrated Circuits // Proceedings of the RA NAS and NPUA. Series of Technical Sciences: ISSN:0002-306X. – 2022. - Vol. 75, № 1. - P. 120-128.
8. **Kostanyan H. T.** Skew improvement method for digital delay lines operating in nonstandard environments. Proc. Univ. Electronics, 2022, vol. 27, no. 2, pp. 233-239. doi: <https://doi.org/10.24151/1561-5405-2022-27-2-233-239>

ԱՄՓՈՓԱԳԻՐ

Ինտեգրալ սխեմաները (ԻՄ) լայնորեն կիրառվում են տնտեսության և արդյունաբերության բազմաթիվ բնագավառներում: Ցածր էներգասպառման և կիսահաղորդիչային բյուրեղի վրա զբաղեցրած մակերեսի փոքրացման պահանջներին բավարարելու համար տրանզիստորների չափերը ենթարկվել են մասշտաբավորման, իսկ սնուցման լարման արժեքը հասել է հարյուրավոր միլիվոլտերի: Նշված փոփոխությունների արդյունքում հնարավոր է եղել հասնել ԻՄ-ների ֆունկցիոնալության և փոխանցվող տվյալների ծավալի մեծացման:

Վերոնշյալ խնդիրների լուծումից բացի՝ մեծացել են որոշ բացասական երևույթների ազդեցությունը ԻՄ-երի աշխատանքի վրա, և միաժամանակ առաջացել են նոր դժվարություններ, որոնցից է շրջակա միջավայրի պայմանների կտրուկ փոփոխությունը: Այս ամենը հանգեցրել է ԻՄ-երում գործող կարգաբերման և ազդանշանի համահարթեցման համար օգտագործվող հանգույցների կայունության և հուսալիության անկման:

Տրանզիստորների ֆիզիկական չափերի և փականի օքսիդի հաստության փոքրացման արդյունքում արագացել է դրանց վրա ձերացման երևույթների ազդեցությունը: Ժամանակի ընթացքում ֆիզիկական չափերի և սնման լարման անհամաչափ փոփոխությունների հետևանքով տրանզիստորների տերմինալների միջև լարումների տարբերությունը հանգեցնում է դրանց պարամետրերի շեղման: Տրանզիստորների շեմային լարման և հագեցման տիրույթում հոսանքի արժեքի փոփոխությունը կարող է բերել սխեմաների լարման բնութագրերի անցանկալի շեղումների, ընդհուպ մինչև ֆունկցիոնալ խափանում: Օերացման երևույթների ազդեցությունը ԻՄ-երի աշխատանքի վրա տեղի է ունենում դրանց թե՛ միացված և թե՛ անջատված վիճակներում, ուստի ձերացման երևույթների ազդեցության նվազեցման մեթոդների մշակումը խիստ կարևոր է:

ԻՄ-երի աշխատանքի ընթացքում սնուցման լարման և ջերմաստիճանի փոփոխությունները բացասականորեն են ազդում դրանցում առկա ինքնակարգաբերվող սխեմաների աշխատանքի վրա: Կարգաբերման ավարտից հետո արտաքին պայմանների փոփոխությունը հանգեցնում է տրանզիստորների և սխեմաների պարամետրերի շեղման:

Առկա լուծումները որոշ չափով բարելավում են նշված գործոնների հետևանքով առաջացած շեղումները, բայց դա գործնական նախագծման տեսանկյունից ներկայումս բավարար չէ: Ուստի կայունության ժամանակակից պահանջները բավարարելու համար անհրաժեշտ են ոչ ստանդարտ աշխատանքային պայմաններում գործող ԻՄ-երի նախագծման նոր միջոցներ և մոտեցումներ :

Ատենախոսությունը նվիրված է ոչ ստանդարտ աշխատանքային պայմաններում գործող ԻՄ-երի նախագծման արդի հիմնահարցերի լուծմանը և նոր մեթոդների մշակմանը:

Առաջարկվել են ոչ ստանդարտ աշխատանքային պայմաններում գործող ինտեգրալ սխեմաների նախագծման մեթոդներ, որոնք, բավարարելով ժամանակակից պահանջներին, զգալիորեն կնվազեցնեն դրանցում արտաքին պայմանների փոփոխության և ձեռացման երևույթների հետևանքով առաջացող շեղումները՝ զբաղեցրած մակերեսի և հզորության ծախսի թույլատրելի սահմաններում մեծացման հաշվին:

Մշակվել է համեմատիչներում ձեռացման երևույթների ազդեցության հետևանքով առաջացող շեղման լարման նվազեցման մեթոդ, որում փոխանցման փականների ավելացման շնորհիվ բարելավվել է սխեմայի անջատված վիճակում տրանզիստորների աշխատանքային պայմանները, և շուրջ 11 անգամ փոքրացել է շեղման լարումը՝ մակերեսի առավելագույնը 4,8% մեծացման հաշվին:

Նախագծվել է ԻՄ-երի ընդունիչ հանգույցում շրջապատող միջավայրի ջերմաստիճանի տատանումների հետևանքով առաջացող շեղման լարման նվազեցման եղանակ, որում հոսանքի ԹԱԶ-ի օգտագործման շնորհիվ հնարավոր է եղել փոքրացնել համահարթեցնող հանգույցի շեղման լարման փոփոխությունն առավելագույնը 19 անգամ կիսահաղորդիչային բյուրեղի վրա զբաղեցրած մակերեսի 43,2% նվազման և հզորության ծախսի 7,2% մեծացման հաշվին:

Ստեղծվել է ԹՀԳ-երում լարման և ջերմաստիճանի կտրուկ տատանումների հետևանքով առաջացող շեղումների նվազեցման մեթոդ, որում բացասական հետադարձ կապի ներդրման շնորհիվ հնարավոր է եղել 56,04%-ով կրճատել արտաքին պայմանների փոփոխության հետևանքով ԹՀԳ-ի հապաղման միջակայքը մակերեսի 23,1% աճի հաշվին:

Մշակվել է ոչ ստանդարտ աշխատանքային պայմաններում գործող ինտեգրալ սխեմաների նախագծման ExtremeIC ծրագրային միջոցը: Պարզ ինտերֆեյսի, տվյալների հեշտ մուտքագրման, ֆայլերի և նմանակման սխալների արագ դիտարկման շնորհիվ այն թույլ է տալիս կրճատել նախագծման գործընթացը 46 անգամ: Ծրագրային միջոցի կիրառումը թույլ է տվել նվազեցնել համեմատիչներում ձեռացման երևույթների պատճառով առաջացող շեղման լարման արժեքը միջինում 11 անգամ կիսահաղորդիչային բյուրեղի վրա զբաղեցրած մակերեսի 4,82% աճի հաշվին: Միևնույն ժամանակ համահարթեցնող հանգույցում արտաքին պայմանների փոփոխությունների հետևանքով առաջացող շեղման լարումը կրճատվել է 17,7 անգամ, իսկ ԹՀԳ-ներում հապաղման միջակայքը փոքրացել է 2,28 անգամ համապատասխանաբար հզորության ծախսի 7,21 և մակերեսի 23,2% մեծացման հաշվին:

HAKOB TIGRAN KOSTANYAN

DEVELOPMENT OF DESIGN METHODS OF INTEGRATED CIRCUITS WORKING IN NON-STANDART OPERATING CONDITIONS

SUMMARY

Integrated circuits (IC) are widely used in many fields of economy and industry. To meet the requirements of low power consumption and small surface area of a semiconductor crystal, the sizes of transistors are scaled and the values of the supply voltage in modern ICs has reached hundreds of millivolts. As a result of these changes it was possible to increase the functionality and the volume of the transmitted data of ICs.

In addition to solving the above-mentioned problems, the impact of some negative effects on the work of ICs has increased. At the same time new difficulties have arisen, one of which is the drastic change of environmental conditions. All this led to a decrease in the stability and reliability of the nodes used for calibration and signal equalization in ICs. As the physical size of the transistors and the thickness of the oxide decreases, the effect of aging phenomena on them accelerates.

The difference between the voltages of the transistor terminals due to disproportionate changes in the physical dimensions of the supply voltage leads to a deviation in their parameters over time. A change of the current in saturation region and the threshold voltage of transistors can lead to undesirable changes in the voltage characteristics of the circuits, up to functional failure. The impact of aging effects on the performance of ICs occur in both on and off states. Therefore, the development of methods to reduce the aging effects is essential.

Changes in the supply voltage and temperature during the operation of ICs negatively affect the calibration circuits in them. The modifications of external conditions after calibration causes the change of transistors parameters, thus the parameters of the circuits are deviated.

Existing solutions improve the deviations resulted due to mentioned factors in some extent, however that is currently not sufficient from a practical design standpoint. Therefore, in order to meet the modern requirements of stability, there is a need for new means and approaches in the design of ICs operating in non-standard working conditions

The dissertation is dedicated to the solution of current issues in the design of ICs working in non-standard conditions and the development of new methods.

Methods for designing integrated circuits working in non-standard operating conditions are proposed, which, meeting modern requirements, will significantly reduce changes of external conditions and deviations caused by aging effects by increasing the occupied surface and power consumption within acceptable limits.

A method has been developed to reduce the offset voltage in comparators caused by aging effects, in which the operating conditions of transistors during power down state of the circuit have been improved due to addition of transition gates, offset voltage has been decreased about 10 times by 4,81% maximum increase of surface area.

A technique has been developed to minimize offset voltage caused by temperature changes in the receiver of ICs, in which due to the usage of current DAC it was possible to reduce the deviation of the offset voltage by maximum 19 times by 43.2% decrease of area on semiconductor crystal and 7,2% increase of power consumption.

A method has been developed to reduce the deviations caused by voltage and temperature changes in DDLs, in which by adding a negative feedback it was possible to reduce the delay range of the DDL by 56,04% caused by external conditions changes by 23.1% area increase.

“ExtremeIC” software tool has been developed for designing integrated circuits working in non-standard operating conditions. With a simple interface, easy data entry, quick viewing of files and simulation errors, it allows to reduce the design process by 4-6 times. The application of the software tool allowed to reduce by an average 11 times the offset voltage caused by aging effects on comparators by 4,82% occupied die area increase. At the same time the offset voltage of equalizer has been reduced by 17,7 times and delay range in DDLs reduced 2,28 times by 23,2% area and 7,21% power consumption increase respectively.

A handwritten signature in black ink, appearing to read 'A. H. ...', located in the lower right quadrant of the page.